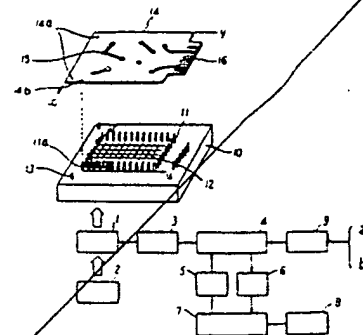


#### (54) WIRING INSPECTION INSTRUMENT FOR PRINTED WIRING BOARD

(11) 1-43771 (A) (43) 16.2.1989 (19) JP  
(21) Appl. No. 62-201118 (22) 12.8.1987  
(71) NEC CORP (72) EISHIN NISHINO  
(51) Int. Cl<sup>7</sup>. G01R31/02, G01R1/073, G01R31/28

**PURPOSE:** To reduce the manufacture cost and man-hours of the wiring inspection instrument and to perform high-reliability inspection by inputting logical connection coordinate position data on the printed wiring board to the wiring inspection instrument directly.

**CONSTITUTION:** When the logical connection coordinate position data and inspection condition data are inputted from a data input part 9, a data processing part 4 classifies the input data from the input part 9 separately, stores them in an input data storage part 6, and instructs an inspection address data conversion part 7 to operate. The conversion part 7 reads the data out of the storage part 6 to perform the data operation of the logical connection coordinate position data according to the inspection condition data and also convert the data into inspection address data by referring to an inspection address conversion table storage part 8 by using the data after the data operation, thereby storing the data in an inspection address data storage part 5. Then the processing part 4 reads the data out of the inspection address data storage part 5, and transfers it to a wiring inspection control part 4, which controls a switch group 1 and a wiring inspection measurement part 2 to perform the wiring inspection of only a necessary object part.



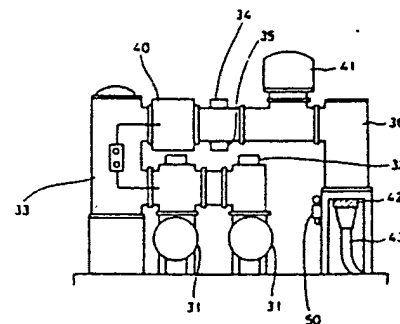
10: measurement probe support plate, 11: measurement probe, 11a: reference measurement probe, 12: wiring inspection measurement area, 13: pilot pin, 14: printed wiring board, 14a: guide hole, 14b: positioning reference plate corresponding to a reference measurement probe position, 15: through hole, 16: terminal part, a: logical connection coordinate position data, b: inspection condition data

#### (54) PARTIAL DISCHARGE DETECTOR

(11) 1-43772 (A) (43) 16.2.1989 (19) JP  
(21) Appl. No. 62-200028 (22) 12.8.1987  
(71) TOSHIBA CORP (72) TAKAAKI SAKAKIBARA(1)  
(51) Int. Cl<sup>7</sup>. G01R31/12, H01H9/50, H01H33/26

**PURPOSE:** To detect partial discharge occurring in the equipment of a gas insulation opening/closing device efficiently by arranging an electromagnetic wave detector nearby the external connection part between a gas insulation equipment and a power cable, etc.

**CONSTITUTION:** The gas insulation opening/closing device is so constituted by connecting a disconnector 32 to a main bus 31, an interrupter 33 to the disconnector 32 and further a disconnector 34 and a grounding device 35 through a current transformer, and leading it out through a transformer 41 for an instrument and a cable head 36. Then an insulation cylinder 42 is arranged at the connection part between the cable head 36 and power cable 43 and the electromagnetic wave detector 50 is arranged nearby the insulation cylinder 42. The electromagnetic wave detector 50 is thus arranged at the external connection part to detect partial discharge occurring in the gas insulation equipment immediately.

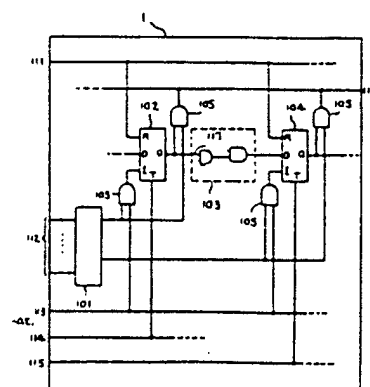


#### (54) PROPAGATION DELAY TESTING METHOD FOR LOGIC CIRCUIT

(11) 1-43773 (A) (43) 16.2.1989 (19) JP  
(21) Appl. No. 62-199053 (22) 11.8.1987  
(71) HITACHI LTD (72) KOJI IKEDA(2)  
(51) Int. Cl<sup>7</sup>. G01R31/28

**PURPOSE:** To easily test a propagation delay by setting an optional flip-flop in an optional state directly from the outside.

**CONSTITUTION:** An input variation signal is propagated on a path 117 to be tested and appears at a D entrance pin of the flip-flop 104. The variation at the D entrance is inputted to the flip-flop 104 unless there is no trouble of propagation delay on the path 117 to be tested. If, however, there is delay trouble, the flip-flop does not change its state. Here, the state of the flip-flop 104 is scanned out so as to decide the trouble of propagation delay on the path 117. Namely, the flip-flop 104 is selected with a scan-address pin 112 to obtain the state of the flip-flop 104 on the scan-out pin 116. This value shows there is no propagation delay on the tested path 117 when it is a signal value after the variation at the output terminal of the object path 117, but indicates the trouble of propagation delay on the object path 117, and consequently the propagation delay can be tested.



## ⑫ 公開特許公報(A)

昭64-43773

⑮ Int. Cl.<sup>4</sup>  
G 01 R 31/28識別記号 庁内整理番号  
A-6912-2G

④公開 昭和64年(1989)2月16日

審査請求 未請求 発明の数 1 (全5頁)

⑬発明の名称 論理回路の伝播遅延テスト方法

⑰特 願 昭62-199053

⑱出 願 昭62(1987)8月11日

⑲発明者 池田 光二 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内  
⑳発明者 畠山 一実 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内  
㉑発明者 林 照 峯 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内  
㉒出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
㉓代理人 弁理士 秋本 正実

## 明 細 書

## 1. 発明の名称

論理回路の伝播遅延テスト方法

## 2. 特許請求の範囲

1. 論理回路内の被験経路の伝播遅延が所定の値をこえているか否かをテストするための、論理回路の伝播遅延テスト方法に於いて、外部よりの指定信号によつて、論理回路内の対応するフリップフロップの状態を変化させる状態変化手段を設け、被験経路の入力端がフリップフロップであるときには、当該入力端フリップフロップの状態を上記状態変化手段により変化させることにより得られる信号変化を当該被験経路への入力とし、該入力に対する当該被験経路からの出力信号変化のタイミングをしらべて伝播遅延をテストすることを特徴とする論理回路の伝播遅延テスト方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、論理回路の伝播遅延テスト方法に係

り、特に大規模な論理回路の伝播遅延の高品質なテストパターンを容易に生成できるようにした論理回路の伝播遅延テスト方法に関する。

〔従来の技術〕

従来の、論理回路の伝播遅延をテストする方法としては、特公昭52-28613に記載のように、片側遅延依存性及びスキャンイン／スキャンアウト機能を有する論理回路を対象に伝播遅延テストを行う方法がある。ここで片側遅延依存性とは、遅延時間が予定された時間より短くなつた場合は正しく動作するが、予定された時間より長くなつた場合は正しく動作しないという性質である。また、スキャンインというのは外部からフリップフロップを初期状態にセットすることであり、スキャンアウトというのはフリップフロップの状態を外部へ取り出すことである。

この方法では、テストを行う経路（被験経路という）を選択し、その経路に変化信号を伝播させ、経路の出力端の変化状況を測定することによつてその経路の伝播遅延の故障を判定する。このため

に、フリップフロップをシフトレジスタ状に接続し、以下のようにテストを行っている。

被験経路に変化信号を入力するため、被験経路の入力端を外部入力ピンまたはフリップフロップにしている。被験経路の入力端が外部入力ピンの場合は独立に変化信号を入力することができる。被験経路の入力端がフリップフロップである場合は、あらかじめフリップフロップを変化信号の変化前の状態に（スキャン・インにより）初期化しておき、フリップフロップのデータ入力として変化信号の変化後の信号値が設定されるようにテストパターンを与え、これを取込むクロック信号を印加してフリップフロップの状態を変化させることにより被験経路に変化信号を入力する。

一方、伝播遅延の故障を判定するため、被験経路の出力端を外部出力ピンまたはフリップフロップにしている。被験経路の出力端が外部出力ピンの場合、被験経路の変化信号の伝播遅延が直接観測できるので判定は容易である。被験経路の出力端がフリップフロップである場合、そのフリップ

フロップが伝播された信号の変化後の信号値を取込むようにクロック信号を印加し、然る後フリップフロップの状態を（スキャン・アウトして）観測する。ここで、被験経路に伝播遅延の故障が存在しなければ、フリップフロップは伝播された信号の変化後の信号値を格納するが、伝播遅延の故障が存在すれば、フリップフロップは伝播された信号の変化前の信号値を格納するので故障の判定ができる。

〔発明が解決しようとする問題点〕

上記従来方法においては、被験経路の入力端がフリップフロップである場合、そのフリップフロップに対するシステムデータを取り込むことによつて変化信号を作成している。このために、被験経路の入力端フリップフロップへ必要な変化信号を与えるには、どの外部入力ピンからどのような経路を通してこのようなテストパターンを与えればよいかを考慮しなければならず、また変化が立上がり方向か立下がり方向かによつて全く別のテストパターンとすることもあり、論理回路が大

きくなるとテストパターンの生成が大きな負担になるという問題があった。

本発明の目的は、上記問題点を解決し、伝播遅延を簡単にテストできるようにした論理回路の伝播遅延テスト方法を提供するにある。

〔問題点を解決するための手段〕

上記の目的は、任意のフリップフロップを外部より直接、任意の状態に設定するための機構を設け、この機構により、被験経路の入力端がフリップフロップならばそのフリップフロップの状態を初期状態と異なる状態に設定し（この設定が変化信号の被験経路への入力である）、被験経路上に伝播遅延の故障があるか否かを判定することによつて達成される。

〔作用〕

被験経路の入力端がフリップフロップである場合、そのフリップフロップを他のフリップフロップとは独立に任意の状態へと直接セットできるから、そのフリップフロップに入力するためのシステムデータ作成が不要となり、テストが容易に行

える。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。第1図において、LSIチップ等の論理回路1には、フリップフロップを選択するためのデコーダ101、フリップフロップ102、104、組合わせ回路103等があり、この論理回路内部のフリップフロップには、図に示すように入力ピンR、D、IおよびT、出力ピンQがある。このうちRはフリップフロップをリセットするための入力ピンで、すべてのフリップフロップはオールリセットピン111により同時にリセットされる。Dはシステムデータを入力するためのピンである。Iはフリップフロップの状態を反転するための入力ピンで、スキャンアドレスピン112とスキャンクロックピン113への入力により、一度に1つのフリップフロップの状態を反転することができる。フリップフロップのT入力ピンはシステムデータをDから取込むためのクロック信号を入力するピンである。出力ピンQは、当該フリップフ

ロップの状態を示しており、その値はスキヤンアドレスピン112で当該フリップフロップにより選択されたとき、スキヤンアウトピン116から出力される。

この論理回路で、被験経路117としては、入力端がフリップフロップ102のQ出力ピン、出力端がフリップフロップ104のD入力ピンのものを取り、この伝播遅延テストを説明する。まず、論理回路1を初期化するため、オールリセットピン111によりすべてのフリップフロップをリセットした後、スキヤンアドレスピン112とスキヤンクロックを用いて個々のフリップフロップを適当な値に設定する。特に、0を要求するフリップフロップはそのまま、1を要求するフリップフロップに対しては、そのフリップフロップをスキヤンアドレスピン112で選択し、スキヤンクロックをスキヤンクロックピン113から印加することにより状態を反転させて1にする。また、他の外部入力ピンも適当な値に設定する。ここで適当な値というのは、被験経路において変化信号が

伝播するのに必要な信号値を意味する。

第3図はこれらの動作のタイミングチャートであり、フリップフロップ102において変化信号を作成するため、スキヤンアドレスピン112でフリップフロップ102を選択し、スキヤンクロックピン113よりクロックを印加すると、アンドゲート105出力によりフリップフロップ102の状態を反転する。即ち初期値が0ならば0から1の変化信号、初期値が1ならば1から0の変化信号がフリップフロップ102の出力ピンQから出力され、これが被験経路117への入力信号となる。このように、被験経路入力端がフリップフロップであっても、そこへの入力信号のセットに特別の労力を必要としない。

入力された変化信号は、被験経路117上を伝播してフリップフロップ104のD入力ピンに現れる。ここで、被験経路117に伝播遅延の故障がなければ、このD入力は第3図104Dのように時刻 $t = t_1$ で変化し、システムクロック104Tによつてこの変化はフリップフロップ104に取

込まれる。しかし、遅延故障があればD入力は時刻 $t = t_1$ まで変化せず、従つてフリップフロップ104の状態変化はない(104Q)。

最後に、被験経路117の伝播遅延の故障を判定するため、フリップフロップ104の状態をスキヤンアウトする。即ち、スキヤンアドレスピン112でフリップフロップ104を選択することにより、スキヤンアウトピン116上にフリップフロップ104の状態が現れる。この値が被験経路117の出力端における変化後の信号値ならば被験経路117には伝播遅延の故障はないが、変化前の信号値ならば被験経路117上に伝播遅延の故障が存在することを示しており、これによつて伝播遅延のテストができる。

第2図は本発明の他の実施例を示すもので、第1図と異なるのは、ピン211がオールリセットピンではなくスキヤンデータ入力ピンであり、各フリップフロップの入力ピンもこれに応じて変更されている点である。即ちフリップフロップはすべて、入力ピンSD、D、SCおよびT、出力ピ

ンQをもっており、SDはスキヤンクロック入力ピンSCのクロック信号の印加に応じて、スキヤンデータ入力ピン211に入力された信号をフリップフロップ内部に取込む入力ピンである。D、T、およびQは第1図の説明と同様それぞれシステムデータ入力のためのピン、システムクロック入力用のピン、およびフリップフロップの状態を出力するピンを表す。

このような回路で、被験経路217の伝播遅延テストのときには、まず、フリップフロップおよび外部入力ピンを適当な値に設定する。ここでも、適当な値というのは、被験経路217上に変化信号が伝播するために必要な信号値をいう。フリップフロップを適当な値に設定するのは、スキヤンアドレスピン212でそのフリップフロップを選択し、適当なスキヤンデータをスキヤンデータ入力ピン211に設定して、スキヤンクロックをスキヤンクロックピン213に印加することにより行う。

以上の初期化が終了すれば、フリップフロップ

202の出力を変化させるために、スキャンアドレスピン212でフリップフロップ202を選択し、上記設定した初期状態と異なるスキャンデータを設定し、スキャンクロックを印加する。これによつて被験経路117の入力端のフリップフロップ202の出力Qが変化し、入力端に信号変化を与えたことになる。このように本実施例でも信号変化の入力は簡単に行へ、以降は、前述の故障判定の手順を実行すればよい。

〔発明の効果〕

本発明により、被験経路の入力端がフリップフロップである場合、そのフリップフロップを他のフリップフロップとは独立にその初期状態と異なる状態に設定できるので、そのフリップフロップに入力するシステムデータを用いなくて変化信号を作成することができる。これにより、個々のテストパターン生成が低減されると同時に、被験経路に入力する変化信号の極性も容易に変更できるので、極性の異なる故障（つまり立上り遅延故障と立下り遅延故障）のためのテストパターン生成

が一括して行えるという利点がある。

また、本発明で用いた回路構造によれば、テストパターンとして変化信号を必要としない場合の機能テストなども行えることは言うまでもない。

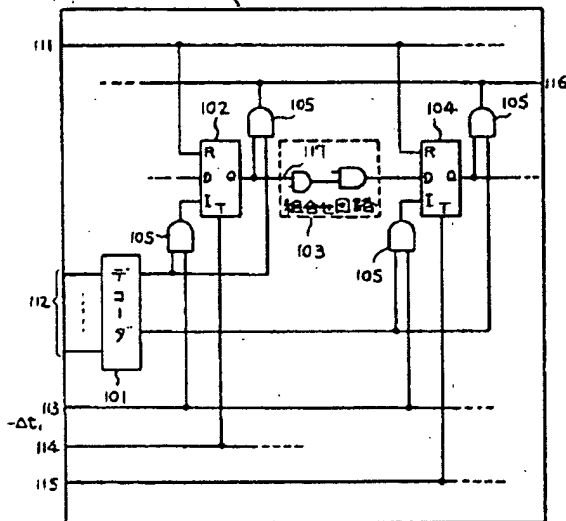
4. 図面の簡単な説明

第1図及び第2図はそれぞれ本発明の実施例を示す論理回路の概略図。第3図は第1図の実施例における動作のタイミングチャートである。

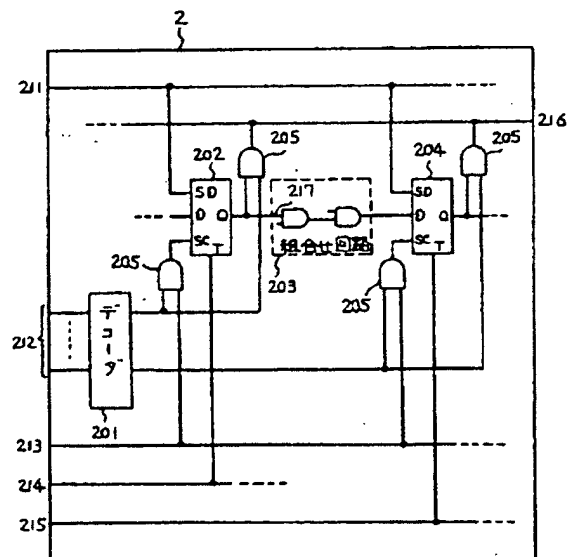
1, 2…論理回路、101, 201…デコーダ、102, 104, 202, 204…フリップフロップ、103, 203…組合せ回路、111…オールリセットピン、211…スキャンデータ入力ピン、112, 212…スキャンアドレスピン、113, 213…スキャンクロックピン、115, 215…システムクロックピン、116, 216…スキャンアウトピン、117, 217…被験経路。

代理人 弁理士 秋本正実

第1図



第2図



第3図

